

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-276383

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 5/45  
9/74

識別記号

F I

H 0 4 N 5/45  
9/74

A

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平9-76915

(22) 出願日 平成9年(1997)3月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石塚 充

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 長谷川 仁志

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 森川 泰宏

兵庫県尼崎市猪名寺2丁目5番1号 三菱  
電機マイコン機器ソフトウェア株式会社内

(74) 代理人 弁理士 前田 実

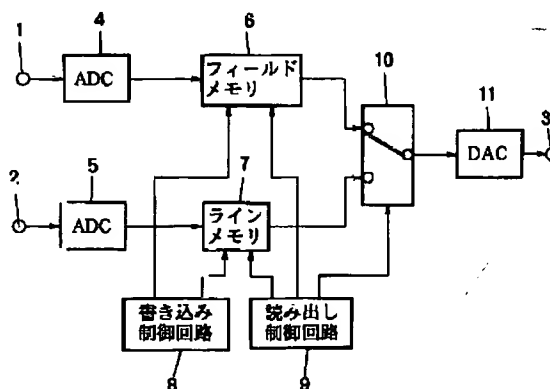
最終頁に続く

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【課題】 回路コストの削減を図る。

【解決手段】 フィールドメモリ6に第1の映像信号を2フィールドに1回書き込み、また第2の映像信号をラインメモリ7に1ラインずつ書き込む。ラインメモリ7から第2の映像信号を読み出し、また第2の映像信号の読み出しにフィールド同期させてフィールドメモリ6から第1の映像信号を毎フィールド読み出す。選択回路10を1ライン期間の中央で切り換え、1ライン中に第1の映像信号と第2の映像信号が並んだ合成映像信号を生成する。このようにフレームメモリを用いずに合成信号を生成することにより、回路コストの削減を図ることができる。



## 【特許請求の範囲】

【請求項1】 第1の映像信号と第2の映像信号とがテレビジョン受像機の表示面に横並びに表示されるように、前記第1の映像信号と前記第2の映像信号とを合成する映像信号処理装置において、  
入力された第1の映像信号が書き込まれるフィールドメモリと、  
入力された第2の映像信号が書き込まれるラインメモリと、  
前記第1の映像信号が2フィールドに1回書き込まれるように、前記第1の映像信号を前記フィールドメモリに書き込むタイミングを制御するとともに、前記第2の映像信号を前記ラインメモリに書き込むタイミングを制御する書き込み制御回路と、  
前記フィールドメモリから読み出された第1の映像信号と、前記ラインメモリから読み出された第2の映像信号とを切り換えて出力する選択回路と、  
前記フィールドメモリおよび前記ラインメモリの読み出しタイミングを制御するとともに、前記選択回路の出力切り換えタイミングを制御する読み出し制御回路とを備えたことを特徴とする映像信号処理装置。

【請求項2】 前記読み出し制御回路は、  
前記フィールドメモリに書き込まれた第1の映像信号が、前記ラインメモリから読み出される第2の映像信号にフィールド同期し、かつ毎フィールド読み出されるように、前記フィールドメモリの読み出しタイミングを制御するものであることを特徴とする請求項1記載の映像信号処理装置。

【請求項3】 第1の輝度信号および第1の色信号からなる第1の複合映像信号と、第2の輝度信号および第2の色信号からなる第2の複合映像信号とがテレビジョン受像機の表示面に横並びに表示されるように、前記第1の輝度信号と前記第2の輝度信号とを合成するとともに、前記第1の色信号と前記第2の色信号とを合成する映像信号処理装置において、  
入力された第1の輝度信号が書き込まれる第1のフィールドメモリと、  
入力された第2の輝度信号が書き込まれる第1のラインメモリと、  
入力された第1の色信号が書き込まれる第2のフィールドメモリと、  
入力された第2の色信号が書き込まれる第2のラインメモリと、  
前記第1の輝度信号および第1の色信号がそれぞれ2フィールドに1回書き込まれるように、前記第1の輝度信号を前記第1のフィールドメモリに書き込むタイミングおよび前記第1の色信号を前記第2のフィールドメモリに書き込むタイミングを制御するとともに、前記第2の輝度信号を前記第1のラインメモリに書き込むタイミングおよび前記第2の色信号を前記第2のラインメモリに

書き込むタイミングを制御する書き込み制御回路と、  
前記第1のフィールドメモリから読み出された第1の輝度信号と、前記第1のラインメモリから読み出された第2の輝度信号とを切り換えて出力する第1の選択回路と、  
前記第2のフィールドメモリから読み出された第1の色信号と、前記第2のラインメモリから読み出された第2の色信号とを切り換えて出力する第2の選択回路と、  
前記第1および第2のフィールドメモリと前記第1および第2のラインメモリの読み出しタイミングを制御するとともに、前記第1および第2の選択回路の出力切り換えタイミングを制御する読み出し制御回路とを備えたことを特徴とする映像信号処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複数の映像信号を1つの画面の中で同時に表示するテレビジョン受像機において、前記複数の映像信号を合成する映像信号処理装置に関するものである。

## 【0002】

【従来の技術】図6は2つの映像信号を一つの画面の中で同時に表示させる従来の映像信号処理装置の構成図である。図6の映像信号処理装置は、輝度信号や色信号などの第1、第2の映像信号がそれぞれ入力される入力端子1および2と、映像信号を出力する出力端子3と、入力映像信号をディジタル信号に変換するAD変換器4および5と、映像信号を1フレーム分記憶するフレームメモリ106と、ラインメモリ7と、書き込み制御回路108と、読み出し制御回路109と、選択回路10と、ディジタル映像信号をアナログ信号に変換するDA変換器11とを備えている。

【0003】書き込み制御回路108は、フレームメモリ106とラインメモリ7の書き込みを制御する回路である。選択回路10は、フレームメモリ106とラインメモリ7からの読み出し信号を切り換えて出力する回路である。読み出し制御回路109は、フレームメモリ106の読み出しタイミング、ラインメモリ7の読み出しタイミング、および選択回路10の出力切り換えタイミングを制御する回路である。

【0004】次に図6の映像信号処理装置の動作について説明する。入力端子1に入力された輝度信号や色信号などの第1の映像信号は、AD変換器4でディジタル信号に変換され、フレームメモリ106に書き込まれる。また、入力端子2には入力端子1とは同期していない第2の映像信号が入力され、AD変換器5でディジタル信号に変換され、ラインメモリ7に書き込まれる。フレームメモリ106には、1フレームすなわち2フィールド分の第1の映像信号が書き込まれる。従ってフレームメモリ106は、2フィールドごとに書き込みアドレスを0番地に戻すように制御される。ラインメモリ7は複数

ラインの容量を持っている。このラインメモリ7には、第2の映像信号が1ラインずつ書き込まれる。

【0005】読み出し制御回路109は、フレームメモリ106に書き込まれた第1の映像信号とラインメモリ7に書き込まれた第2の映像信号とをフレーム同期させて読み出す。ラインメモリ7からは、書き込み時の2倍の周波数で映像信号が読み出され、1/2ラインの期間で映像信号が出力される。図7および図8は、フレームメモリ106からの第1の映像信号出力をラインメモリ7からの第2の映像信号出力にフレーム同期させる様子を示す図であり、図7は入力端子1および2において第1の映像信号のフレームが第2の映像信号のフレームに対して1フィールド以下の時間だけ遅れている場合を示し、図8は第1の映像信号のフレームが第2の映像信号のフレームに対して1フィールド以下の時間だけ進んでいる場合を示している。図7および図8において、

(a) は入力端子1に入力された第1の映像信号をフレームメモリ106に書き込むタイミングを示し、(b) はフレームメモリ106に書き込まれた第1の映像信号の読み出しタイミングを示すとともに、ラインメモリ7に書き込まれた第2の映像信号の読み出しタイミングを示している。A、B、C、D、Eはそれぞれ第1の映像信号における1フィールド分の映像データを示している。

【0006】図7(a)および図8(a)において、時刻 $t_1 \sim t_2$ 、 $t_2 \sim t_3$ で、第1の映像信号の第1フィールドの映像データA、第2フィールドの映像データBがフレームメモリ106に書き込まれる。また同様に時刻 $t_3 \sim t_4$ 、 $t_4 \sim t_5$ で、第1の映像信号の映像データC、D、Eがフレームメモリ106に書き込まれる。図7(b)において、時刻 $T_1 \sim T_2$ でラインメモリ7から第2の映像信号の第2フィールドの映像データが読み出され、同時にフレームメモリ106から第1の映像信号の映像データAが読み出される。次に時刻 $T_2 \sim T_3$ でラインメモリ7から第2の映像信号の第1フィールドの映像データが読み出され、同時にフレームメモリ106から映像データBが読み出される。このようにフレームメモリ106から読み出された第1の映像信号とラインメモリ7から読み出された第2の映像信号とをフレーム同期させる。また図8(b)においては、時刻 $t_1 \sim t_2$ にフレームメモリ106に書き込まれた第1の映像信号の第1フィールドの映像データAは、1フィールド以上遅れた時刻 $T_2 \sim T_3$ で読み出され、フレームメモリ106から読み出された第1の映像信号とラインメモリ7から読み出された第2の映像信号とをフレーム同期させる。

【0007】ラインメモリ7から読み出された第1の映像信号とフレームメモリ106から読み出された第2の映像信号とは、選択回路10に入力される。選択回路10の出力映像信号は、1ライン中に2つの映像信号が表

示されるように、1ライン期間の中央で切り換えられる。選択回路10から出力された合成映像信号は、DA変換回路11でアナログ信号に変換され、出力端子3から出力される。この結果、それぞれ同期せずに入力された2つの映像信号をテレビジョン受像機の画面に図4に示すように表示することができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記のような従来の映像信号処理装置においては、第1の映像信号をラインメモリ7から読み出した第2の映像信号にフレーム同期させるために、フレームメモリ106を必要とし、回路のコストが高くなるという問題があった。

【0009】本発明はこのような従来の問題を解決するものであり、回路コストを削減することができる映像信号処理装置を提供することを目的とするものである。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明の映像信号処理装置は、第1の映像信号が書き込まれるフィールドメモリと、第2の映像信号が書き込まれるラインメモリと、前記第1の映像信号が2フィールドに1回書き込まれるように、前記第1の映像信号を前記フィールドメモリに書き込むタイミングを制御するとともに、前記第2の映像信号を前記ラインメモリに書き込むタイミングを制御する書き込み制御回路と、前記フィールドメモリから読み出された第1の映像信号と、前記ラインメモリから読み出された第2の映像信号とを切り換えて出力する選択回路と、前記フィールドメモリおよび前記ラインメモリの読み出しタイミングを制御するとともに、前記選択回路の出力切り換えタイミングを制御する読み出し制御回路とを備えたものであり、フレームメモリを用いずにフィールドメモリを用い、このフィールドメモリに第1の映像信号を2フィールドに1回書き込むことを特徴とする。

【0011】上記の読み出し制御回路は、例えば、前記フィールドメモリに書き込まれた第1の映像信号が、前記ラインメモリから読み出される第2の映像信号にフィールド同期し、かつ毎フィールド読み出されるように、前記フィールドメモリの読み出しタイミングを制御する。

【0012】また本発明の映像信号処理装置は、2つの複合映像信号に対しても対応できる。この場合は、複合映像信号を構成する輝度信号と色信号に対し、上記構成の映像信号処理装置をそれぞれ設ける。

【0013】

【発明の実施の形態】

実施の形態1. 図1は本発明の実施の形態1の映像信号処理装置を示すブロック構成図である。図1に示す映像信号処理装置は、2つの映像信号を一つの画面の中で同時に表示させるテレビジョン受像機において、前記2つの映像信号を合成するものであり、入力された第1の映

像信号をフィールドメモリに2フィールドに1回書き込むとともに、入力された第2の映像信号をラインメモリに書き込み、第1の映像信号をフィールドメモリから毎フィールド読み出し、この第1の映像信号とラインメモリから読み出した第2の映像信号とを合成することを特徴とする。

【0014】図1に示す映像信号処理装置は、輝度信号や色信号などの第1の映像信号が入力される入力端子1と、輝度信号や色信号などの第2の映像信号が入力される入力端子2と、第1および第2の映像信号の合成映像信号を出力する出力端子3と、入力された第1の映像信号をデジタル信号に変換するAD変換器4と、入力された第2の映像信号をデジタル信号に変換するAD変換器5と、フィールドメモリ6と、ラインメモリ7と、書き込み制御回路8と、読み出し制御回路9と、選択回路10と、合成映像信号をアナログ信号に変換するDA変換器11とを備えている。

【0015】フィールドメモリ6には、1フィールド分の第1の映像信号が書き込まれる。ラインメモリ7には、複数ライン分の第2の映像信号が書き込まれる。書き込み制御回路8は、第1の映像信号が2フィールドに1回書き込まれるように、第1の映像信号をフィールドメモリ6に書き込むタイミング制御するとともに、第2の映像信号をラインメモリ7に書き込むタイミングを制御する。選択回路10は、フィールドメモリ6から読み出された第1の映像信号と、ラインメモリ7から読み出された第2の映像信号とを切り換えて出力する。読み出し制御回路9は、ラインメモリ7に書き込まれた第2の映像信号の読み出しタイミングと、選択回路10の出力切り換えタイミングとを制御するとともに、フィールドメモリ6に書き込まれた第1の映像信号が、ラインメモリ7から読み出される第2の映像信号にフィールド同期し、かつ毎フィールド読み出されるように、フィールドメモリ6の読み出しタイミングを制御する。また、読み出し制御回路9は、ラインメモリ7に書き込まれた第2の映像信号を書き込み時の2倍の周波数で読み出す。そのため、1ライン分の第2の映像信号は1/2ラインに圧縮される。

【0016】次に図1に示す映像信号処理回路の動作について説明する。入力端子1に入力された第1の映像信号は、AD変換器4でデジタル信号に変換され、フィールドメモリ6に書き込まれる。また、入力端子2には第1の映像信号とは同期していない第2の映像信号が入力され、この第2の映像信号はAD変換器5でデジタル信号に変換され、ラインメモリ7に書き込まれる。

【0017】書き込み制御回路8により、1フィールド分の第1の映像信号がフィールドメモリ6に2フィールドに1回ずつ書き込まれ、また第2の映像信号がラインメモリ7に1ラインずつ書き込まれる。読み出し制御回路9により、ラインメモリ7に書き込まれた第2の映像

信号が読み出され、また、このラインメモリ7からの第2の映像信号の読み出しに同期して、フィールドメモリ6に書き込まれた第1の映像信号が読み出される。ラインメモリ7からは第2の映像信号が書き込み時の2倍の周波数で読み出され、1/2ライン期間で1ライン分の第2の映像信号が出力される。また、フィールドメモリ6からも1/2ライン期間で1ライン分の第1の映像信号が出力される。

【0018】図2および図3は、フィールドメモリ6からの第1の映像信号出力をラインメモリ7からの第2の映像信号出力にフィールド同期させる様子を示す図であり、図2は入力端子1および2において第1の映像信号のフレームが第2の映像信号のフレームに対して1フィールド以下の時間だけ遅れている場合を示し、図3は第1の映像信号のフレームが第2の映像信号のフレームに対して1フィールド以下の時間だけ進んでいる場合を示している。図2および図3において、(a)は入力端子1に入力された第1の映像信号をフィールドメモリ6に書き込むタイミングを示し、(b)はフィールドメモリ6に書き込まれた第1の映像信号の読み出しタイミングを示すとともに、ラインメモリ7に書き込まれた第2の映像信号の読み出しタイミングを示している。A、B、C、D、Eはそれぞれ第1の映像信号における1フィールド分の映像データを示している。第1の映像信号の書き込みは、2フィールドに1回だけ実施される。図2および図3は、第1フィールドの映像データだけを書き込む場合を示している。

【0019】図2(a)および図3(a)において、時刻 $t_1 \sim t_2$ で第1の映像信号の第1フィールドの映像データAがフィールドメモリ6に書き込まれる。また時刻 $t_3 \sim t_4$ で第1フィールドの映像データCが書き込まれ、時刻 $t_5 \sim t_6$ で第1フィールドの映像データEが書き込まれる。第1の映像信号の第2フィールドの映像データB、Dはフィールドメモリ6には書き込まれない。

【0020】図2(b)において、時刻 $T_1 \sim T_2$ でラインメモリ7から第2の映像信号の第2フィールドの映像データが読み出され、同時にフィールドメモリ6から第1の映像信号の映像データAが読み出される。次に時刻 $T_2 \sim T_3$ でラインメモリ7から第2の映像信号の第1フィールドの映像データが読み出され、同時にフィールドメモリ6から映像データAが再び読み出される。次に時刻 $T_3 \sim T_4$ 、 $T_4 \sim T_5$ でラインメモリ7から第2の映像信号の第2フィールドの映像データ、第1のフィールドの映像データがそれぞれ読み出され、フィールドメモリ6からは第1の映像信号の映像データCが2度読み出される。

【0021】また図3(b)において、時刻 $T_1 \sim T_2$ でラインメモリ7から第2の映像信号の第1フィールドの映像データが読み出され、同時にフィールドメモリ6

から第1の映像信号の映像データAが読み出される。次に時刻T2〜T3でラインメモリ7から第2の映像信号の第2フィールドの映像データが読み出され、同時にフィールドメモリ6から映像データAが再び読み出される。次に時刻T3〜T4、T4〜T5でラインメモリ7から第2の映像信号の第1フィールドの映像データ、第2のフィールドの映像データがそれぞれ読み出され、フィールドメモリ6からは第1の映像信号の映像データCが2度読み出される。

【0022】フィールドメモリ6から読み出された第1の映像信号と、ラインメモリ7から読み出された第2の映像信号とは、選択回路10に入力される。読み出し制御回路9により、選択回路10の出力映像信号を1ライン期間の中央で切り換えることにより、第1および第2の映像信号の合成映像信号が選択回路10から出力される。この合成映像信号は、DA変換回路11でアナログ信号に変換され、出力端子3から出力される。この結果、それぞれ同期せずに入力された第1および第2の映像信号をテレビジョン受像機の画面に図4に示すように表示することができる。

【0023】このように本発明の実施の形態1によれば、フィールドメモリ6を設け、このフィールドメモリ6に第1の映像信号を2フィールドに1回書き込み、この映像信号を毎フィールド読み出して、2つの映像信号を合成することにより、回路コストを2つの映像信号を合成することにより、回路コストを削減することができる。また2つの映像信号をフィールド同期させてフィールドメモリ6およびラインメモリ7から読み出すことにより、2つの映像信号を簡単な回路で合成することができるので、さらに回路コストを削減することができる。

【0024】実施の形態2。図5は本発明の実施の形態2の映像信号処理装置を示すブロック構成図である。図5に示す映像信号処理装置は、輝度信号と色信号とが別々になっている2つの複合映像信号を一つの画面の中で同時に表示させるテレビジョン受像機において、前記2つの複合映像信号の輝度信号を合成するとともに、前記2つの複合映像信号の色信号を合成するものであり、入力された第1の複合映像信号の輝度信号（第1の輝度信号と称する）を第1のフィールドメモリに2フィールドに1回書き込むとともに、入力された第2の映像信号の輝度信号（第2の輝度信号と称する）を第1のラインメモリに書き込み、また入力された第1の複合映像信号の色信号（第1の色信号と称する）を第2のフィールドメモリに2フィールドに1回書き込むとともに、入力された第2の映像信号の色信号（第2の色信号と称する）を第2のラインメモリに書き込み、第1の輝度信号を第1のフィールドメモリから毎フィールド読み出し、この輝度信号と第1のラインメモリから読み出した第2の輝度信号とを合成し、また第1の色信号を第2のフィールドメモリから毎フィールド読み出し、この色信号と第2のライ

ンメモリから読み出した第2の色信号とを合成することを特徴とする。

【0025】図5に示す映像信号処理装置は、第1の輝度信号が入力される入力端子1と、第2の輝度信号が入力される入力端子2と、第1の色信号が入力される入力端子14と、第2の色信号が入力される入力端子15と、第1および第2の輝度信号の合成信号を出力する出力端子3と、第1および第2の色信号の合成信号を出力する出力端子16と、入力された第1の輝度信号をデジタル信号に変換するAD変換器4と、入力された第2の輝度信号をデジタル信号に変換するAD変換器5と、入力された第1の色信号をデジタル信号に変換するAD変換器17と、入力された第2の色信号をデジタル信号に変換するAD変換器18と、フィールドメモリ6および19と、ラインメモリ7および20と、書き込み制御回路8と、読み出し制御回路9と、選択回路10および21と、合成輝度信号をアナログ信号に変換するDA変換器11と、合成色信号をアナログ信号に変換するDA変換器22とを備えている。図5において、図1と同じものには同じ符号を付してある。すなわち、図5に示す映像信号処理装置は、図1において、入力端子14および15と、出力端子16と、AD変換器17および18と、フィールドメモリ19と、ラインメモリ20と、選択回路21と、DA変換器22とを設けたものである。

【0026】フィールドメモリ6には1フィールド分の第1の輝度信号が書き込まれ、フィールドメモリ19には1フィールド分の第1の色信号が書き込まれる。ラインメモリ7には複数ライン分の第2の輝度信号が書き込まれ、ラインメモリ7には複数ライン分の第2の輝度信号が書き込まれる。書き込み制御回路8は、第1の輝度信号および第1の色信号がそれぞれ2フィールドに1回書き込まれるように、第1の輝度信号をフィールドメモリ6に書き込むタイミングおよび第1の色信号をフィールドメモリ19に書き込むタイミングを制御するとともに、第2の輝度信号をラインメモリ7に書き込むタイミングおよび第2の色信号をラインメモリ20に書き込むタイミングを制御する。選択回路10は、フィールドメモリ6から読み出された第1の輝度信号と、ラインメモリ7から読み出された第2の輝度信号とを切り換えて出力する。選択回路21は、フィールドメモリ19から読み出された第1の色信号と、ラインメモリ20から読み出された第2の色信号とを切り換えて出力する。

【0027】また、読み出し制御回路9は、ラインメモリ7に書き込まれた第2の輝度信号の読み出しタイミングおよびラインメモリ20に書き込まれた第2の色信号の読み出しタイミングと、選択回路10および21の出力切り換えタイミングを制御するとともに、フィールドメモリ6に書き込まれた第1の輝度信号が、ラインメモリ7から読み出される第2の輝度信号にフィールド同期

し、かつ毎フィールド読み出されるように、フィールドメモリ6の読み出しタイミングを制御し、フィールドメモリ19に書き込まれた第1の色信号が、ラインメモリ20から読み出される第2の色信号にフィールド同期し、かつ毎フィールド読み出されるように、フィールドメモリ19の読み出しタイミングを制御する。また読み出し制御回路9は、ラインメモリ7および20にそれぞれ書き込まれた第2の輝度信号および第2の色信号を書き込み時の2倍の周波数で読み出す。そのため、1ライン分の第2の輝度信号および第2の色信号はそれぞれ1/2ラインに圧縮される。

【0028】次に図5に示す映像信号処理回路の動作について説明する。図5に示す映像信号処理装置において、第1の輝度信号と第2の輝度信号とを合成する動作、および第1の色信号と第2の色信号とを合成する動作のそれぞれは、図1の映像信号処理装置において第1の映像信号と第2の映像信号とを合成する動作と同じである。

【0029】入力端子1に入力された第1の輝度信号と入力端子2に入力された第2の輝度信号とは同期していない。従って入力端子14に入力された第1の色信号と入力端子15に入力された第2の色信号とは同期していない。第1の輝度信号はAD変換器4でデジタル信号に変換され、フィールドメモリ6に書き込まれ、また第2の輝度信号はAD変換器5でデジタル信号に変換され、ラインメモリ7に書き込まれる。同様に、第1の色信号はAD変換器17でデジタル信号に変換され、フィールドメモリ19に書き込まれ、また第2の色信号はAD変換器18でデジタル信号に変換され、ラインメモリ20に書き込まれる。

【0030】書き込み制御回路8により、1フィールド分の第1の輝度信号および第1の色信号がそれぞれフィールドメモリ6および19に2フィールドに1回ずつ書き込まれ、また第2の輝度信号および第2の色信号がラインメモリ7および20にそれぞれ1ラインずつ書き込まれる。読み出し制御回路9により、ラインメモリ7に書き込まれた第2の輝度信号およびラインメモリ20に書き込まれた第2の色信号がそれぞれ読み出され、またこのラインメモリ7および20からの第2の輝度信号および第2の色信号の読み出しにそれぞれ同期して、フィールドメモリ6に書き込まれた第1の輝度信号およびフィールドメモリ19に書き込まれた第1の色信号がそれぞれ読み出される。

【0031】フィールドメモリ6から読み出された第1の輝度信号とラインメモリ7から読み出された第2の輝度信号とは選択回路10に入力され、またフィールドメモリ19から読み出された第1の色信号とラインメモリ20から読み出された第2の色信号とは選択回路21に入力される。読み出し制御回路9により、選択回路10および21の出力信号を1ライン期間の途中でそれぞれ

切り換えることにより、第1および第2の輝度信号の合成輝度信号が選択回路10から出力され、また、第1および第2の色信号の合成色信号が選択回路21から出力される。この合成輝度信号および合成色信号は、DA変換回路11および22でそれぞれアナログ信号に変換され、出力端子3および16からそれぞれ出力される。

【0032】このように本発明の実施の形態2によれば、フィールドメモリ6および19を設け、これらのフィールドメモリに第1の輝度信号および第1の色信号を2フィールドに1回書き込み、この輝度信号および色信号を毎フィールド読み出して、2つの輝度信号および2つの色信号をそれぞれ合成することにより、輝度信号と色信号が別々に入力される複合映像信号を扱う場合に、回路コストを削減することができる。また、2つの輝度信号および2つの色信号をフィールド同期させてフィールドメモリ6、19、およびラインメモリ7、20からそれぞれ読み出すことにより、2つの輝度信号および2つの色信号を簡単な回路で合成することができるので、さらに回路コストを削減することができる。

【0033】

【発明の効果】以上のように本発明の映像信号処理回路によれば、フィールドメモリを設け、このフィールドメモリに第1の映像信号を2フィールドに1回書き込み、この映像信号を毎フィールド読み出して、2つの映像信号を合成することにより、回路コストを削減することができるという効果がある。

【0034】また、請求項2記載の映像信号処理回路によれば、2つの映像信号をフィールド同期させてフィールドメモリおよびラインメモリから読み出すことにより、2つの映像信号を簡単な回路で合成することができるので、さらに回路コストを削減することができるという効果がある。

【0035】また、請求項3記載の映像信号処理回路によれば、第1および第2のフィールドメモリを用い、これらのフィールドメモリに第1の輝度信号および第1の色信号を2フィールドに1回書き込み、この輝度信号および色信号を毎フィールド読み出して、2つの輝度信号および2つの色信号をそれぞれ合成することにより、輝度信号と色信号が別々に入力される複合映像信号を扱う場合に、回路コストを削減することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の映像信号処理装置を示すブロック構成図である。

【図2】 本発明の実施の形態1および2におけるタイミングチャートを示す図である。

【図3】 本発明の実施の形態1および2におけるタイミングチャートを示す図である。

【図4】 映像信号処理装置によるテレビジョン受像機の画面表示形式の一例を示す図である。

【図5】 本発明の実施の形態2の映像信号処理装置を示すブロック構成図である。

【図6】 従来の映像信号処理装置を示すブロック構成図である。

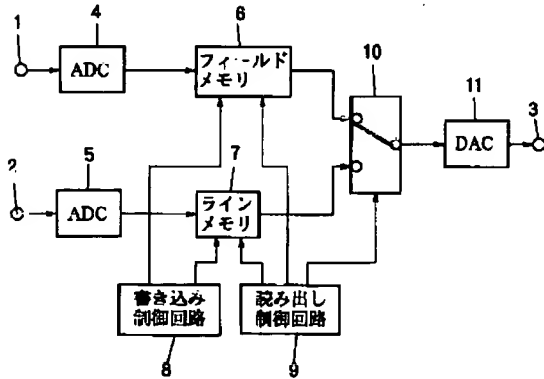
【図7】 従来の映像信号処理装置におけるタイミングチャートを示す図である。

【図8】 従来の映像信号処理装置におけるタイミングチャートを示す図である。

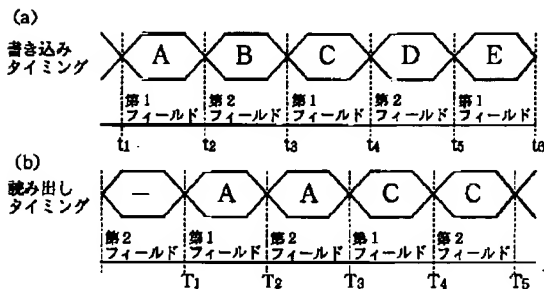
【符号の説明】

6, 19 フィールドメモリ、 7, 20 ラインメモリ、 8 書き込み制御回路、 9 読み出し制御回路、 10, 21 選択回路。

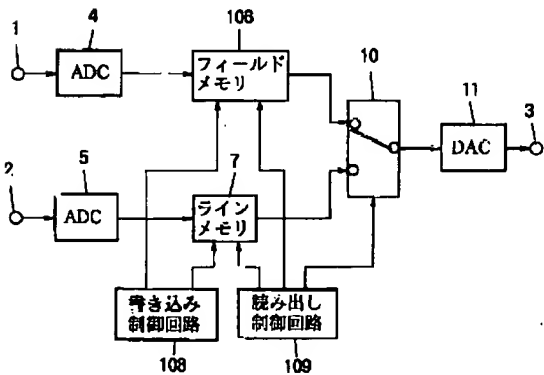
【図1】



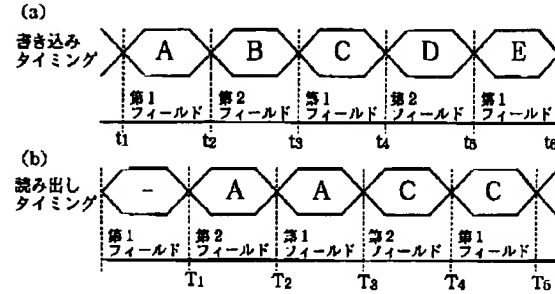
【図3】



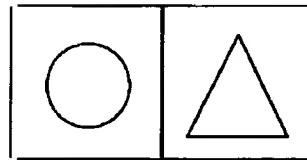
【図6】



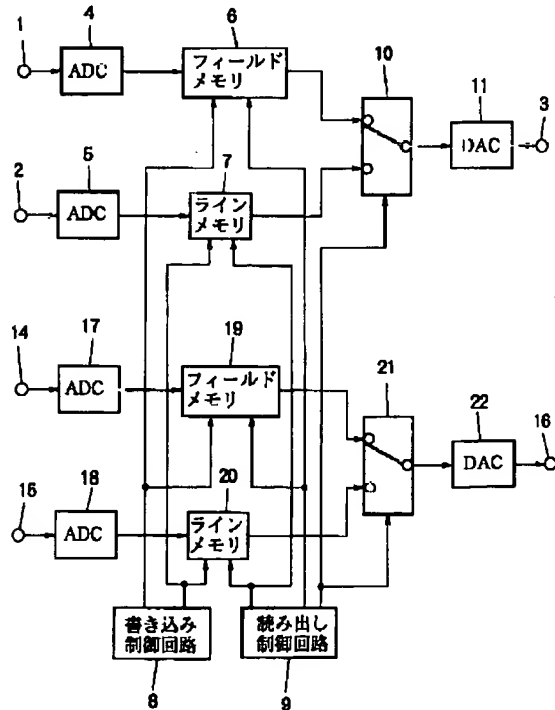
【図2】



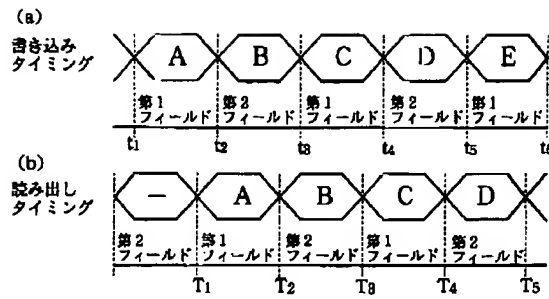
【図4】



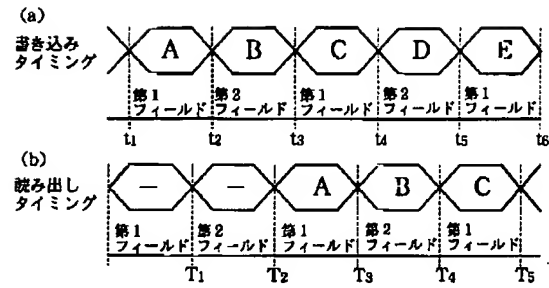
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 山口 典之  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内